

熊晓明, 詹瑞典, 饶博, 等. 我国集成电路关键技术挑战与协同创新路径[J]. 广东工业大学学报, 2025, 42(6): 1–11. doi: 10.12052/gdutxb.250119.  
Xiong Xiaoming, Zhan Ruidian, Rao Bo, et al. Key technological challenges and collaborative innovation pathways of China's integrated circuits[J]. Journal of Guangdong University of Technology, 2025, 42(6): 1–11. doi: 10.12052/gdutxb.250119.

# 我国集成电路关键技术挑战与协同创新路径

熊晓明<sup>1</sup>, 詹瑞典<sup>1</sup>, 饶博<sup>2</sup>, 郑欣<sup>1</sup>, 刘远<sup>1</sup>

(1. 广东工业大学 集成电路学院, 广东 广州 510006; 2. 牛芯半导体(深圳)有限公司, 广东 深圳 518000)

**摘要:** 在全球科技博弈加剧、关键技术受限的背景下, 集成电路产业已成为国家战略安全和科技自主的核心领域。本文系统梳理了我国集成电路产业链发展现状, 聚焦设计、制造、电子设计自动化(Electronic Design Automation, EDA)、封装等关键环节的技术瓶颈与“卡脖子”问题。在分析美国主导的技术封锁及全球产业重构趋势基础上, 指出我国面临的外部压力与内生短板并存的复杂局势。结合在人工智能(Artificial Intelligence, AI)硬件加速器、软硬件协同设计、器件建模与仿真、AI辅助EDA等方面的最新研究实践, 本文提出一种协同创新驱动的技术突围路径, 探索后摩尔时代的算力架构、系统封装和EDA协同设计方向。最后, 建议加强“工艺—器件—架构—工具—系统”一体化战略布局, 建立开放可控、自主完整的技术生态体系。本文为集成电路领域的技术创新与政策制定提供理论支持和实践参考。

**关键词:** 集成电路; 软硬件协同设计; 器件建模与仿真; EDA工具; 后摩尔时代

**中图分类号:** TP332.1; TP319; TN402

**文献标志码:** A

**文章编号:** 1007-7162(2025)06-0001-11

## Key Technological Challenges and Collaborative Innovation Pathways of China's Integrated Circuits

Xiong Xiaoming<sup>1</sup>, Zhan Ruidian<sup>1</sup>, Rao Bo<sup>2</sup>, Zheng Xin<sup>1</sup>, Liu Yuan<sup>1</sup>

(1. School of Integrated Circuits, Guangdong University of Technology, Guangzhou 510006, China; 2. Niuxin semiconductor (Shenzhen) Co., Ltd., Shenzhen 518000, China)

**Abstract:** Against the backdrop of intensified global technological rivalry and restrictions on critical technologies, the Integrated Circuit (IC) industry has become central domain of national strategic security and technological self-reliance. This paper systematically reviews the development status of China's IC industry chain, focusing on key bottlenecks in design, manufacturing, Electronic Design Automation (EDA) tools, and advanced packaging. Based on an analysis of external pressures such as U.S.-led technology embargoes and internal structural weaknesses, the authors identify the dual challenges faced by the industry. Combined with the latest research practice in Artificial Intelligence (AI) hardware accelerators, hardware/software co-design, device modeling and simulation, and AI-assisted EDA, this paper proposes a technology breakthrough path driven by collaborative innovation, and explores new directions in computing architecture, system packaging, and EDA design under the post-Moore paradigm. This paper provides theoretical support and practical references for technological innovation and policy formulation in the integrated circuit field.

**Key words:** integrated circuits; hardware/software co-design; device modeling and simulation; EDA tools; post-Moore era

集成电路(Integrated Circuit, IC)作为现代信息社会与数字经济的基础性技术支柱, 广泛应用于通信、

计算、工业控制、人工智能、国防安全等多个关键领域, 是国家综合国力和核心竞争力的集中体现。近年

收稿日期: 2025-06-25 录用日期: 2025-09-12 网络首发日期: 2025-09-25

基金项目: 广东省自然科学基金资助面上项目(2025A1515010110)

作者简介: 熊晓明(1959-), 男, 教授, 博士, 主要研究方向为EDA、芯片设计, E-mail: xmxiong@gdut.edu.cn

通信作者: 郑欣(1993-), 女, 副教授, 博士, 主要研究方向为软硬件协同设计、EDA, E-mail: xinzheng@gdut.edu.cn

来,全球科技竞争格局持续演化,集成电路作为战略性核心产业,日益成为多国重点布局与政策关注的焦点。针对先进芯片、电子设计自动化(Electronic Design Automation, EDA)工具与高端制造装备等关键技术环节,部分国家陆续出台出口管制措施,加强对相关技术与设备的出口审批<sup>[1]</sup>。这些政策调整对我国高端芯片的设计、制造与供应链安全带来一定挑战,也进一步反映出我国在部分核心技术与基础支撑能力方面仍面临“卡脖子”问题<sup>[2]</sup>。

当前,中国集成电路产业虽已建立起较为完整的产业链条,但在高端制造、关键设备、基础材料、自主知识产权组件(Intellectual Property, IP)和EDA工具等方面仍存在技术瓶颈,严重制约整体产业水平提升<sup>[3]</sup>。据海关总署公布,2024年中国集成电路进口金额达3 850亿美元,自给率不足15%,远低于“十四五”期间提出的70%目标。以EDA为代表的集成电路设计工具高度依赖国外三大厂商,相关设计流程仍多处于“点工具”阶段,缺乏系统性协同能力和生态整合能力<sup>[4]</sup>。

另一方面,集成电路发展正逐步进入“后摩尔时代”,传统依赖尺寸微缩提升性能的技术路径已面临极限。人工智能、边缘计算、自动驾驶等新兴应用对算力密度、能耗比和系统安全提出更高的要求,推动以存算一体、近存计算、异构集成、类脑架构为代表的新型计算芯片架构正在加速演进<sup>[5-7]</sup>。相关研究指出,存算一体芯片通过“数据—计算—能效”的协同优化,可突破冯·诺依曼架构的“存储墙”和“功耗墙”限制,成为后摩尔时代计算芯片的重要方向<sup>[8]</sup>。

此外,为应对复杂的设计约束和系统集成难题,“左移融合”EDA范式被广泛关注。该模式强调在早期设计阶段引入跨层次协同优化机制,实现“架构—算法—工艺”的前后端并行设计,从而提升芯片设计效率与系统可行性,是EDA未来发展的重要趋势<sup>[4]</sup>。当前国内部分高校和科研团队正围绕软硬件协同设计、基于第五代精简指令集(Reduced Instruction Set Computing-V, RISC-V)的虚拟原型平台、器件仿真与建模、EDA工具链智能辅助等方向开展系统性研究与平台构建,为推动设计范式变革和技术生态完善提供了宝贵经验。

基于上述背景,本文将系统梳理我国集成电路产业链发展现状,分析面临的外部压力与技术挑战,结合近年来典型科研工作与前沿成果,探讨面向“后摩尔时代”的协同创新路径与战略发展建议,旨在为我国集成电路行业突破关键瓶颈、构建自主可控的创新体系提供参考依据。

## 1 我国集成电路产业现状与结构分析

近年来,在政策支持、市场需求和资本驱动的共同作用下,我国集成电路产业呈现快速发展态势。根据中商产业研究院统计,如图1所示,2024年我国集成电路产业市场规模达1.45万亿元,年均复合增长率超过13.3%,预计2025年将达到1.69万亿元。产业链条从设计、制造、封装测试逐步延伸至EDA、材料、装备、应用等上游基础环节,初步形成了较为完整的生态体系。

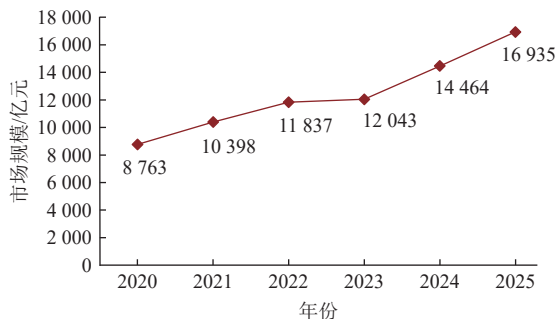


图1 中国集成电路市场规模

Fig.1 Scale of China's integrated circuit market

### 1.1 产业链结构与分工概况

如图2所示,集成电路产业链主要包括设计、制造、封装测试三大核心环节,以及以EDA工具、半导体设备、材料、IP核等为代表的支撑环节。我国集成电路设计业起步早、市场活跃。代表企业包括华为海思、韦尔股份、澜起科技、兆易创新等,已在通信、存储、模拟、人工智能(Artificial Intelligence, AI)芯片等领域建立一定优势。而芯片制造仍以成熟制程为主,具备14 nm及以上工艺批量能力的企业主要有中芯国际、华虹半导体等,但先进工艺(如7 nm及以下)仍受限于关键设备与材料。我国封测业全球领先,企业如长电科技、通富微电、华天科技已进入全球前十,主要承担高端封装和外企代工业务。在支撑环节,EDA工具主要依赖进口,国产厂商如华大九天、芯华章、概伦电子在特定领域已取得初步进展;半导体材料和设备方面,硅片、光刻胶、刻蚀设备等仍为主要短板。

### 1.2 区域分布与产业集聚特征

我国集成电路产业形成了“东强西弱、南北呼应”的空间格局,呈现三大核心区域优势突出、各具特色的产业集聚态势。其中,长三角地区以上海为核心,产业规模全国领先,涵盖了设计、制造、封测及装备制造、应用等各个环节,产业链上下游协同发展,

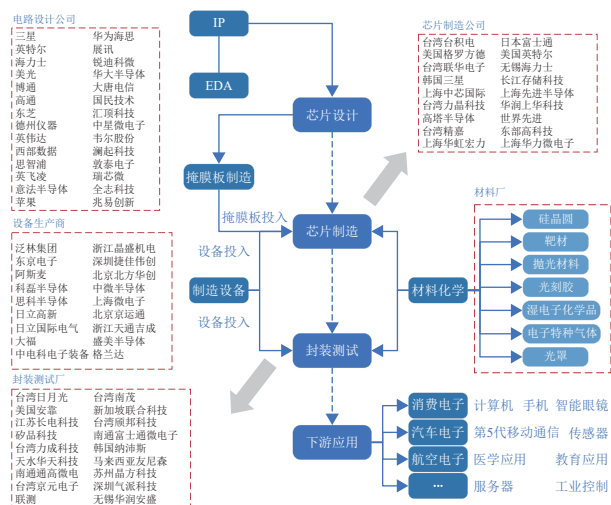


图2 集成电路产业链全景图

Fig.2 A panoramic view of the integrated circuit industry chain

形成了较为完整均衡的生态体系。珠三角地区以深圳、广州为中心,以设计创新和应用端见长,涌现出大量活跃的IC初创企业,市场导向明显。京津冀地区以北京为核心,集中了丰富的高校科研机构与研发资源,以中关村为科技创新高地,在装备、零部件、工具与设计环节具备强劲实力。此外,中西部地区的西安和成都正迅速崛起,成为我国集成电路产业制造与封测的重要承载地,进一步丰富了产业布局,体现出区域发展的多点开花态势。

### 1.3 核心技术能力与代表性成果

在政府资金引导和市场需求牵引下,我国集成电路产业在多个关键领域取得了显著的阶段性成果<sup>[9]</sup>。高性能片上系统(System on Chip, SoC)与AI芯片设计方面,华为昇腾系列、寒武纪、比特大陆等企业推出的深度学习芯片已达到国际领先水平;在存算一体芯片原型开发领域,一些高校和研究机构围绕静态随机存取存储器(Static Random-Access Memory, SRAM)存算技术、电阻式随机存取存储器(Resistance Random Access Memory, RRAM)原型阵列、电路架构优化等方向进行了系统布局,在性能密度和能效比方面取得突破<sup>[15-17]</sup>;在安全可信芯片方面,国网信通、飞腾、兆芯等单位围绕国密算法、高安全微控制单元(Microcontroller Unit, MCU)及嵌入式芯片实现了产业化落地;在器件建模与仿真方面,以三安光电、乾照光电为代表的深紫外发光二极管(Light Emitting Diode, LED)器件企业已开始尝试将定制建模流程引入器件结构优化中,推动器件仿真能力工程化落地;在EDA平台与设计范式创新领域,国产EDA正从“点工具”向平台化与智能化加速演进。以图神经网络

(Graph Neural Network, GNN)为代表的软硬划分技术<sup>[10]</sup>和基于SystemC语言及事务级建模(Transaction Level Modeling, TLM)2.0标准的虚拟原型平台已在部分高校研究团队中得到有效验证<sup>[11]</sup>。华大九天持续推进EDA全流程工具链自主化,其数字后端布图布线系统已应用于多个工业级设计项目。企业与高校、科研机构在EDA算法验证平台、流程接口标准和IP生态方面的协同共建,也正逐步形成面向国产EDA生态的雏形。

### 1.4 当前发展瓶颈与结构性短板

尽管我国集成电路产业在设计、制造、封测等环节取得显著进展,产业链初具规模,但在全球技术竞争和中美科技博弈的背景下,仍面临一系列深层次瓶颈与结构性短板,亟需系统应对。

首先,先进制造能力仍受制约。目前主流芯片制造仍集中在14 nm及以上工艺节点,虽然中芯国际实现了非极紫外光刻(Extreme Ultraviolet, EUV)条件下的7 nm试产,但受限于产能、良率,难以满足高端需求。关键设备如EUV光刻机、高纯硅片、特种气体等依赖进口,供应受控风险高。其次,EDA工具和IP生态发展滞后。EDA作为芯片设计的核心支撑工具,国内产品多为功能性单点工具,缺乏平台化、系统级集成能力,难以支撑复杂芯片设计。IP生态方面,通用核心IP数量少、标准化程度低,复用效率不高,限制了设计创新与效率提升。再次,先进封装与异构集成技术发展不足。在摩尔定律放缓的趋势下,2.5维/3维封装、芯粒(Chiplet)异构集成成为国际发展重点。但我国在微互连结构、热设计、封装材料等方面仍存在技术短板,尚未形成成熟的工程化和产业化能力。此外,设备与材料环节的国产替代率偏低。从刻蚀机、检测仪到光刻胶、化学机械抛光(Chemical Mechanical Polishing, CMP)材料,国产产品在性能稳定性、工艺兼容性方面仍有差距,容易受到海外技术和供应链制约。最后,高端人才体系建设滞后。一方面,EDA算法、芯片架构、系统设计等方向缺乏高层次、复合型人才;另一方面,基础研究与产业需求脱节,研产脱节问题突出,导致科研成果转化率低。教育体系中对前沿架构与系统协同的关注不足,实践平台建设薄弱。

综上所述,当前我国集成电路产业面临的不只是某一领域技术的“落后”,更是整个系统层面的协同创新能力不足。要实现关键技术突破,亟需加强产业链上下游之间的协作,构建更具可持续性和自主演进能力的产业创新生态。



## 2 技术演进趋势分析

随着集成电路技术步入后摩尔时代,产业的发展不再仅仅依赖工艺微缩和单点突破,而更加强调多维度、多层次的协同创新。这一演进趋势不仅体现在芯片体系结构的重塑,也延伸至EDA工具、软硬件协同设计范式、异构集成与系统级优化策略的重构<sup>[12]</sup>。在当前的国际竞争压力与国内结构性短板并存的背景下,系统性技术路径的构建显得尤为关键。

### 2.1 后摩尔时代的计算架构转向

传统以“计算为中心”的冯·诺依曼体系正逐步让位于以“数据为中心”的新型计算范式。存算一体(Computing-in-Memory, CIM)架构被广泛认为是突破“存储墙”和“功耗墙”的有效技术路线。该技术通过在电路物理层级融合存储与计算功能,显著降低数据搬移的能耗开销,从而提升计算能效和性能密度。国内多个研究团队已在此领域展开布局。例如,基于SRAM的存算一体阵列能够在保证互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺兼容性的前提下实现高能效的矩阵乘加运算<sup>[6]</sup>;同时,RRAM、铁电场效应晶体管(Ferroelectric Field-Effect Transistor, FeFET)等新型器件的应用也正逐步进入系统验证阶段<sup>[5]</sup>。然而,这些技术在稳定性、精度控制和可重构性等方面仍存在挑战,需要通过跨层次协同设计与优化来加以克服,包括编译工具优化、芯片架构映射和功耗精细建模等。

面向后摩尔时代的新兴计算范式正逐渐呈现出多元化趋势。以近似计算和随机计算为代表的容错计算,通过允许一定程度的计算误差,能够显著提高计算芯片的能效与性能,在神经网络推理等场景中已经获得广泛应用<sup>[13-14]</sup>。比如,谷歌的张量处理单元(Tensor Processing Unit, TPU)、阿里的含光800芯片均采用近似计算技术实现了高能效的AI推理加速<sup>[15]</sup>。随机计算则通过概率表示信息,具有低功耗和高容错优势,适用于极端环境和高可靠性需求场景,但随机数生成器实现成本较高,仍是当前技术瓶颈<sup>[16]</sup>。

此外,近存计算(Processing-in-Memory, PIM)架构也逐渐步入商业化阶段。三星等公司推出的高带宽内存与内存内处理(High Bandwidth Memory with Processing In Memory, HBM-PIM)芯片,通过先进的垂直堆叠封装技术有效提升了数据访问效率与系统吞吐量。在更前沿的模拟存内计算领域,以RRAM、

相变随机存取存储器(Phase Change Random Access Memory, PCRAM)、磁阻随机存取存储器(Magnetoresistive Random Access Memory, MRAM)为代表的非易失性存储技术,利用器件的物理特性进行并行计算,有效提升计算效率,但尚需解决器件工艺稳定性和工艺偏差控制问题,才能实现大规模商用部署<sup>[17-18]</sup>。

脑启发式计算架构同样成为计算架构转型的热门研究方向之一。脉冲神经网络(Spiking Neural Networks, SNN)借鉴人脑神经元的脉冲传输机制,结合新型非易失性存储器件,在低功耗AI芯片领域展现出明显优势。如国际商业机器公司(International Business Machines Corporation, IBM)的TrueNorth芯片、清华大学的“天机芯”以及中科院“问天I”类脑计算芯片已验证了这一技术路径的潜力。同时,超维矢量计算(Hyperdimensional Computing, HDC)也以其超高维数据表示能力与高效分类算法,逐步成为低功耗边缘计算场景的重要候选技术之一<sup>[19]</sup>。

上述新兴计算范式已成为国际学术界和产业界共同关注的技术前沿,未来仍需进一步完善器件工艺、架构设计与算法优化的协同机制,以解决实际产业化应用过程中的挑战。

### 2.2 软硬件协同设计范式演化

为了适应异构架构和领域特定计算需求,软硬件协同设计范式正从“功能正确”转向“系统最优”。当前广泛使用的基于SystemC与TLM2.0的虚拟原型平台为芯片设计提供了高抽象级别的系统建模能力,可在寄存器传输级(Register Transfer Level, RTL)模型开发前实现功能仿真与性能评估<sup>[11]</sup>。

结合EDA设计流程左移(Shift-Left)的理念,可以通过GNN实现对设计空间的快速软硬件划分与评估,在设计早期即介入算力、功耗、面积等多目标权衡,显著缩短了迭代周期。此外,面向图处理任务的软硬件协同设计方法已成为提升处理效率的重要路径之一。由于图数据的非规则性和非结构化特征,传统计算架构无法高效应对相关处理场景,限制了性能提升。因此,以现场可编程门阵列(Field-Programmable Gate Array, FPGA)为基础的图处理单元(Graph Processing Unit, GPU)被提出,通过定制的访存通道和针对图处理特性的专用流水线架构,显著优化了图数据的并行处理性能<sup>[20]</sup>。

随着大语言模型(Large Language Model, LLM)应用的快速发展,软硬件协同设计同样展现出对算法、硬件和系统级创新的巨大需求。与传统深度学习

模型相比,LLM对内存带宽和计算资源的需求呈指数级增长。为此,专用的软硬件协同优化方案被提出,包括模型并行、混合精度训练和内存高效优化技术(如ZeRO系列优化器),以降低计算和内存开销。这些技术不仅有效解决了LLM训练和推理过程中的资源瓶颈,还为通用的协同设计平台构建提供了新思路<sup>[21]</sup>。

从软件栈的角度来看,协同设计不仅要求EDA工具具有系统级仿真与验证能力,更需深入整合AI驱动的优化算法、模块化接口标准与硬件适配能力<sup>[4]</sup>。例如,图计算领域的轻量级运行时系统通过动态图划分、边缘与顶点中心执行模型等方式实现高效映射,提供编译器驱动的循环展开和内存预取优化,大幅提高计算效率。在LLM领域,软硬件协同则通过高度优化的转换器(Transformer)算子融合与内存管理技术,实现推理阶段的大幅加速。

与此同时,国际主流企业的实践经验也验证了软硬件协同设计范式的有效性。谷歌Tensor芯片、苹果M系列芯片通过深度的软硬件协同实现了推理性能与能效的突破,进一步凸显了协同优化平台的价值,软硬件协同设计已成为应对异构计算挑战、推动后摩尔时代计算架构演进的重要技术手段。

### 2.3 异构集成与Chiplet发展路径

受限于先进制程设备与成本,Chiplet作为一种模块化系统构建方式成为业界关注的焦点。通过将不同功能模块,如中央处理器(Central Processing Unit, CPU)、神经网络处理器(Neural Processing Unit, NPU)、输入/输出(Input/Output, I/O)控制器等,以芯粒形式集成至同一封装中,Chiplet架构不仅缓解了工艺节点制约,也为IP复用、系统扩展与分工协同提供了新路径。

实现异构芯粒集成的前提是建立标准化的高速互连接口。当前,国际产业界以美国英特尔公司(Intel)牵头的通用芯粒互连技术(Universal Chiplet Interconnect Express, UCIe)为代表,已成为事实标准。UCIe具备高速率、低时延与高带宽的特性,并支持跨厂商芯粒互联,推动产业生态的快速融合<sup>[22]</sup>。与此同时,其他互连技术如Intel的嵌入式多芯片互连桥接技术(Embedded Multi-Die Interconnect Bridge, EMIB)和台湾积体电路制造股份有限公司(Taiwan Semiconductor Manufacturing Company Limited, TSMC)的片上基板(Chip on Wafer on Substrate, CoWoS)封装技术也被广泛应用于高性能计算芯片。

相比传统单片芯片设计,Chiplet设计在布局规

划、时序约束、封装层面都增加了新的挑战。尤其是跨芯粒之间信号的传输延迟、抖动和串扰问题,需要EDA工具提供更高级别的跨封装协同仿真能力。目前,多芯粒设计流程逐渐从单片SoC方法学向2.5维/3维异构设计与封装协同方法学转变,需要构建支持芯粒粒度划分、接口自动布局映射、跨芯粒热电联合仿真的自动化设计平台<sup>[23]</sup>。例如,楷登电子(Cadence)和新思科技(Synopsys)等主流EDA厂商已逐步推出支持Chiplet设计的新型工具套件,初步实现了布局、布线与封装设计的一体化流程,但跨平台一致性与验证自动化程度仍需提升。

此外,在热设计与可靠性管理方面,随着多个高性能芯粒的密集封装,局部热密度显著提升,热管理成为影响芯粒长期可靠性的核心挑战。Chiplet封装不仅需要解决热点识别与散热路径优化问题,更需与材料层级热阻分析、接口导热能力紧密结合,以实现整体热设计优化闭环<sup>[24]</sup>。未来,基于数据驱动的热预测模型与芯粒级功耗管理技术将成为异构封装设计的重要方向。

### 2.4 EDA工具链的智能化与平台化

传统串行、阶段割裂的EDA设计流程正面临效率与协同瓶颈。在EDA工具的发展上,AI驱动EDA成为热点方向。Synopsys推出的全球首个AI自主芯片设计解决方案(Design Space Optimization AI, DSO.ai)通过强化学习进行布局布线全流程优化,代表了国际先进方向。而国内EDA工具则在功能仿真、物理验证、功耗分析等环节有所突破,但系统集成能力与算法复杂度仍有差距<sup>[4]</sup>。

首先是跨层抽象建模与协同优化机制。传统EDA阶段之间信息割裂、接口不兼容,限制了系统级优化的可能性。左移设计范式提倡在系统建模阶段即引入对后端物理特性的预测建模,如布局拥塞、布线可达性与功耗热点分布等指标。通过构建从SystemC到RTL再到物理网表的统一语义模型,可显著提升流程闭环效率与预测准确性。

其次,AI辅助的设计空间探索(Design Space Exploration, DSE)成为当前智能EDA研究的重点。近年来,图神经网络、贝叶斯优化与强化学习被广泛用于模块划分、结构搜索与参数调优等任务。相关研究表明,结合AI算法的多目标设计探索可在保持设计质量的同时显著减少人工调试与迭代次数,具备较高的工程实用性<sup>[25]</sup>。

此外,工艺感知的智能验证机制也是EDA智能



化的重要组成。以往物理可制造性验证往往延迟至后端签核阶段,导致设计返工频发。左移范式下,通过AI模型预测光刻限制、电迁移热分布、信号完整性等问题,并将约束提前注入逻辑综合与布局阶段,有助于形成从建模到验证的联动机制。国内相关团队在时序预测、热分布建模与设计规则检查(Design Rule Check, DRC)违规率预测方面已取得初步成果<sup>[26-27]</sup>。

在平台化发展上,EDA工具亟需突破“点工具”局限,从单环节优化走向系统级平台,并通过数据接口标准、IP协同验证与流程可视化等机制,实现全流程一体化支撑。开源EDA数据集(如CircuitNet)和标准化IP库的建设为AI算法训练与EDA工具评估提供了重要基础,也为国产EDA生态建设提供了关键支撑<sup>[28]</sup>。

然而,智能化EDA系统的发展仍面临多方面挑战,如跨层建模统一性不足、算法泛化能力受限、数据孤岛现象严重等。因此,结合AI算法、左移设计理念与统一建模体系的深度融合,将为高效、协同与可演进的设计体系构建奠定技术基础。

### 3 协同创新实践与系统验证

面向后摩尔时代的计算架构演进与国产化替代的双重挑战,近年来相关研究聚焦于人工智能芯片、器件建模与仿真、EDA工具智能化、软硬件协同设计等方向,积极探索多层次协同创新路径。研究的核心目标在于打通“架构—算法—工具—实现”的技术链条,构建具有实际工程可行性的验证原型与设计支撑平台。

#### 3.1 AI硬件加速与虚拟原型系统

深度神经网络(Deep Neural Network, DNN)模型的计算密集性与存储带宽要求使得传统通用处理器难以高效支撑智能计算场景。近年来,国内外围绕神经网络计算提出多种可重构的AI硬件加速架构,探索在功耗、面积与性能间的最优平衡点。

针对深度神经网络推理任务中对高并行性与低功耗的需求,近年来提出了多种可重构CNN加速器设计方案<sup>[29-30]</sup>。其中,轻量级神经网络加速器(Tiny Neural Network Accelerator, TiNNA)是一种基于数字信号处理器(Digital Signal Processor, DSP)优化策略的轻量级AI加速器<sup>[29]</sup>,而可重构的轻量级神经网络加速器(Reconfigurable Tiny Neural Network Accelerator, ReTiNNA)则面向带宽受限场景,构建了高性能卷积加速器<sup>[30]</sup>。图3展示了ReTiNNA的硬件架

构,最终在FPGA平台上实现了面向实时视频目标检测的系统部署,其功耗性能优于多项公开同类设计。

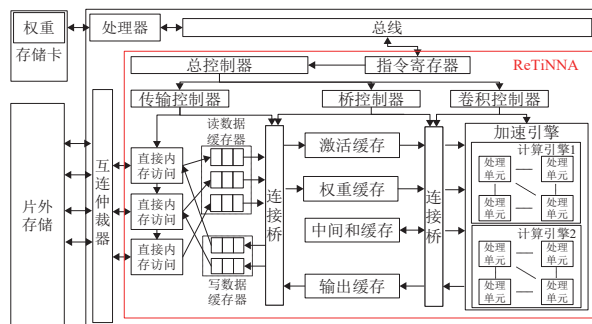


图3 ReTiNNA硬件架构

Fig.3 Hardware architecture of ReTiNNA

为缩短AI芯片从模型到系统实现的周期,基于SystemC与TLM2.0构建的虚拟原型平台成为设计早期的重要支撑工具。该类平台支持在RTL开发前完成计算结构建模、数据流验证与能耗估计,并允许设计者快速评估体系结构对算法精度、时延与能耗的敏感性。以RISC-V为基础,研究团队构建了面向应用扩展的软硬件协同平台<sup>[11,31]</sup>,并在此基础上完成了多种密码加速器的建模与仿真验证。该平台允许将加速器模块以周期精确或周期近似的抽象模型集成于SoC原型中,从而在设计早期完成快速验证与系统级性能评估。其整体平台架构如图4所示。

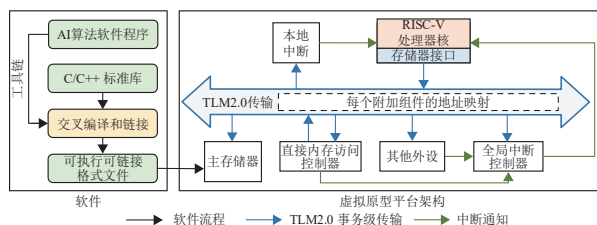


图4 SoC虚拟原型平台架构

Fig.4 Architecture of SoC virtual prototype platform

进一步研究表明,将虚拟平台与硬件编译器集成,可形成从算法到硬件映射的自动化流程,降低非专业设计人员使用门槛<sup>[32]</sup>。此外,面向Transformer类模型与图神经网络等新型AI结构的加速器优化正在成为软硬件协同设计的新热点。例如,针对Transformer模型的特定计算流程和访存模式,字节跳动人工智能实验室提出一种在GPU上加速训练通用Transformer模型的系统LightSeq2,与现有系统相比,其训练速度提高了308%<sup>[33]</sup>;斯坦福大学提出一个专为低延迟推理而设计的GNN加速器架构(Graph Inference Processor, GRIP)。其将GNN推理分为3个以边缘和顶点为中心的执行阶段,并在硬件中实现。针对不同阶

段的独特计算模式,GRIP配备了专用单元<sup>[34]</sup>。

在近存储计算架构与AI处理器实现方面,已有工程级案例显著推动了协同设计向系统可验证原型靠拢,例如华为“天机芯”脑启发存算芯片。该芯片融合脉冲神经网络(Spiking Neural Network, SNN)与人工神经网络(Artificial Neural Network, ANN)的混合架构,实现每瓦高达1.28 TOPS(ANN模式)和649 GSOPS(SNN模式)的能效表现,验证了混合范式的高能效可行性<sup>[35]</sup>。

### 3.2 器件建模与多物理仿真

高性能电子与光电子器件的设计依赖于精准的建模方法与多物理场仿真平台的支撑,尤其在纳米尺度下,传统经验模型难以准确预测器件行为。随着新型材料、异质结构及高功率工作场景的广泛引入,亟需从材料物理、界面效应、自热与缺陷机制等多维角度构建具备物理可解释性与仿真效率兼具的建模体系。

近年来,针对深紫外微型发光二极管(Micro Light Emitting Diode Display, Micro LED)、铝镓氮(Aluminum Gallium Nitride, AlGaIn)基激光器、氮化镓(Gallium Nitride, GaN)基高电子迁移率晶体管(High electron mobility transistor, HEMT)等器件的建模仿真工作取得了积极进展。现有的研究构建了一系列具有物理可解释性与计算高效性的建模方法,为新型结构优化与EDA集成提供了基础支撑。

针对250 nm AlGaIn基Micro LED器件,研究团队建立了包含自热效应与侧壁缺陷影响的综合热电模型。在传统模型忽略刻蚀损伤与热耦合效应的局限基础上,所提出模型通过引入材料热边界与缺陷态分布,系统模拟了小尺寸器件中表面复合与温升之间的耦合机制,减少了器件内部光吸收,提高了光提取效率<sup>[36]</sup>,器件结构如图5所示。

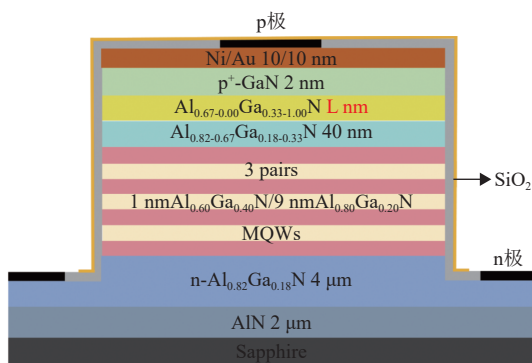


图5 器件原理图结构

Fig.5 Device schematic structure

在AlGaIn基深紫外法布里-珀罗(Fabry-Perot, FP)激光器建模方面,研究团队开发了首个支持高Al组分外延层、具备电—光联合求解能力的器件仿真平台<sup>[37]</sup>。该建模平台为深紫外激光二极管结构优化提供了理论基础与设计工具。此外,针对AlGaIn/GaN基HEMT的高温功耗建模问题,研究提出了一种融合两个最低子带( $E_0$ 与 $E_1$ )分布信息的表面电势分析方法与电流—电压特性模型<sup>[38]</sup>。该方法基于Schrödinger-Poisson方程耦合求解,综合考虑了量子调制效应、自加热机制与温度依赖性,能够更准确地模拟高功率工作条件下器件的输出退化行为。

上述建模工作的进一步目标是将物理层模型嵌入上层设计工具与EDA平台中,实现从“材料—器件—电路—系统”多层次的参数传递与协同优化。例如,可将热电模型输出的温度分布映射至版图层,实现基于功耗密度的热分布驱动布局调整;或将非平衡输运模型中的载流子分布信息提供给仿真器进行寄生电容建模。目前,部分国产EDA平台如“仿真+器件库+DRC”一体化工具已开始初步支持此类流程集成。器件级建模研究不仅提高了器件结构设计的精准性,也为未来多物理量耦合仿真平台的构建和先进工艺EDA工具的国产化打下了基础。

### 3.3 软硬件协同设计与EDA工具集成

随着系统集成规模不断扩大,异构芯片架构与跨层协同设计需求的激增,对EDA工具的可扩展性、可集成性与智能化程度提出更高要求。传统EDA工具往往将前端建模、微结构优化与后端物理设计视作分立任务,缺乏对系统级目标(如功耗、性能、布线资源)的一体化建模与联合优化能力。近年来,国内外研究团队围绕设计空间探索、版图可布线性预测、布线策略优化等方向,提出了多种具有算法创新与平台适配性的EDA智能辅助模块<sup>[39-40]</sup>。这些方法不仅可集成于已有流程中作为“点增强模块”,也具备迁移到自主EDA平台的系统拓展潜力。

在微架构设计空间探索方面,研究提出了基于半监督学习的设计空间探索(Berkeley Out-of-Order Machine Semi-Supervised Explorer, BSSE)优化框架<sup>[41]</sup>。该方法利用协同训练式的k近邻(Cotraining-style K-nearest neighbors, Co-KNN)算法构建性能、功耗、面积(Power, Performance, Area, PPA)预测器,并结合进化策略引导设计搜索路径。在验证平台上,BSSE实现了微架构超参数空间的快速收敛与可解释性能对比,其整体架构如图6所示,具备良好的适配性与模型轻量化优势。

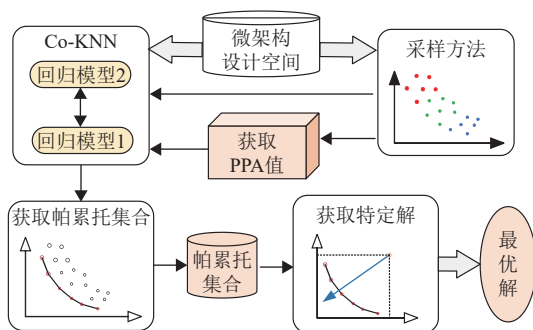


图6 BSSE设计空间探索架构

Fig.6 Architecture of BSSE design space exploration

在后端布局阶段的拥塞预测任务中,研究提出了一种基于回归视觉转换器(Regression Vision Transformer, R-ViT)的预测模型<sup>[42]</sup>。如图7所示,该模型融合了Transformer架构的全局感知能力与卷积模块的局部特征提取优势,并设计了自适应Huber损失函数以提高对局部高密度区域的鲁棒性。该方法在预测准确率与可布线性判断方面优于传统均方误差(Mean Square Error, MSE)和平均绝对误差(Mean Absolute Error, MAE)损失函数下的基准模型,具有良好的EDA后端工具集成价值。

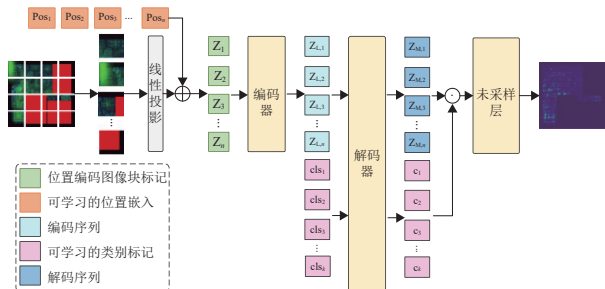


图7 R-ViT结构

Fig.7 R-ViT structure

在物理设计阶段的布线优化方面,针对印刷电路板(Printed Circuit Board, PCB)等长布线与多FPGA片内片间通信问题,研究团队构建了2个高效的布线算法模块。一是基于线性规划与动态规划结合的任意角度布线方法,有效提升了布线成功率与等长匹配能力,特别适用于高密度信号并行场景<sup>[43]</sup>;二是提出基于时间复用的多FPGA布线优化流程,支持系统级与裸片级布线资源分配,通过多阶段竞争机制提升了布线均衡性和资源利用效率<sup>[44]</sup>。

针对Synopsys DSO.ai的工业级验证,该AI驱动的布局优化工具支持数亿设计空间搜索,已实现RISC-V高性能计算核心从5 nm到4 nm的参数重定位,仅两天即可完成优化,达成目标频率并降低功耗至27.9 mW<sup>[45]</sup>。该系统在微软云上实现2倍的设计效

率提升与PPA显著提升;在海力士的实验验证中布局面积减少5%,整体芯片面积缩减5%,已达到量产条件。这些案例展示了从硬件架构验证到AI工具链闭环的系统集成价值与应用落地能力。

## 4 前沿趋势与重点研究方向展望

### 4.1 关键技术前沿趋势与方向

集成电路产业技术重心正从“性能—面积—功耗”三角向“安全—系统—智能”演进,重构EDA架构、推进异构计算与发展新型封装正成为全球主要技术路线。综合当前国际态势和研究趋势,以下方向尤为关键。

#### 4.1.1 异构计算架构与Chiplet生态构建

Chiplet作为应对先进制程受限与高性能集成需求的解决方案,已被Intel、超微半导体公司(Advanced Micro Devices, AMD)、TSMC广泛采纳。其核心在于模块化、高复用、高带宽互连,未来国产替代需突破互连标准、测试协议与热设计规范。建立UCIe等开放互连标准的本土生态,是实现Chiplet产业化的关键支撑。

#### 4.1.2 类脑计算与存算一体芯片探索

以类脑计算、张量处理为特征的计算架构成为AI芯片下一阶段发展方向。当前以RRAM、FeFET等新型器件为基础的存算一体原型在图像识别和矩阵乘法等场景中展示出高效潜力。国内多个研究团队已完成SRAM阵列级别验证,但如何实现系统级控制、指令集支持与软件栈适配仍是未来瓶颈。

#### 4.1.3 EDA工具平台化与AI辅助自动化

EDA的未来不仅是工具点突破,更是平台生态构建。AI+EDA正在由“局部自动化”向“系统协同优化”过渡。例如Synopsys推出的DSO.ai基于强化学习构建优化策略,已在物理布局阶段大幅提升PPA指标。国内EDA平台应重点突破多尺度建模与设计空间抽象机制、面向国产架构的算法映射工具链、高效可重用的标准IP库与仿真接口,以及AI辅助多目标优化引擎。

#### 4.1.4 高安全、低功耗、可信可控芯片体系

除性能与工艺追赶外,未来更需关注“极限环境下的可用性”,即在特定封锁、攻击或能源受限场景下,芯片是否具备基本计算、通信与保护能力。发展高安全性加密模块、低能耗运行模式和多副本可信机制将成为“战略芯片”不可或缺的设计目标。

### 4.2 发展策略与建议

综合分析我国集成电路产业当前面临的關鍵瓶



颈和前沿趋势,未来的发展路径需要在“技术突破、平台构建、生态协同、政策引导”4个维度协同推进。与其追求短期产业规模扩张,更应注重基础设施、机制设计与中长期韧性建设。

(1) 推进“工艺—架构—系统协同”的自主技术体系建设:应突破传统分工式开发范式,推动从工艺到系统的一体化架构设计。建议支持跨机构技术联盟,围绕具体典型产品(如AI加速器、边缘安全芯片)构建从EDA工具、系统架构到工艺接口的完整闭环,推动关键IP与EDA流程对接国产制造平台(如中芯国际、华虹等)的能力适配。在实施层面,应建设开放式软硬件协同验证平台,通过原型验证和系统级仿真,确保架构设计、EDA流程和制造工艺三者的无缝衔接。同时,推动基于开源RISC-V的参考设计方案,形成可复用的“芯片设计模板”,缩短从架构探索到流片验证的周期。

(2) 支持国产EDA平台演进与AI辅助工具突破:当前国内EDA发展仍以“点工具”积累为主,缺乏高效集成与平台生态。建议积极推动EDA平台化演进,以基于图数据建模、强化学习(Reinforcement Learning, RL)优化、数据驱动验证为技术路径,同时建立跨学科教育体系,加强EDA算法、AI优化、软件工程三类人才联动培养。为落实这一目标,可依托国家级重大专项,推动“统一EDA云平台”建设,实现前端建模、设计空间探索、物理验证到封装测试的全流程在线协同;同时,通过国产EDA工具与国际标准(如UCIe、OpenAccess等)的兼容性优化,逐步实现工具链生态的可持续演进。

(3) 构建区域协同与风险冗余机制:避免重复建设与产能浪费,应通过国家级调控平台对重点制造、封装基地进行差异化定位。强化基础材料、核心器件等“隐性卡脖子”环节的能力储备与替代评估,建立“极限制裁下可运行”的最小可控系统(Minimum Viable System, MVS)清单,推动从“规模追赶”向“体系韧性”转变。在具体实施上,应推动区域协同创新示范区建设,形成“EDA—设计—制造—封测—应用”全链条一体化的协同生态。例如,在长三角、粤港澳和京津冀三大集成电路高地分别布局设计中心、制造基地与封装测试平台,形成差异化定位与互补合作机制。

(4) 鼓励高风险基础研究与中试平台建设:针对光刻、材料、近存计算、器件架构等长期投入型方向,政府可通过风险共担机制支持高校和企业联合开展探索性研究,同时加快建设覆盖“设计—制造—封装—

测试”的国家中试平台,降低成果转化门槛。此外,建议引入“应用驱动型”中试体系,将AI、车规芯片、先进封装等战略性应用场景嵌入中试验证流程中,通过产业需求牵引科研攻关,形成以实际产品验证为导向的技术迭代闭环。

## 5 结语:面向长期主义的韧性路线

我国集成电路产业的发展正处于历史关键期。一方面,国内市场空间广阔、政策支持明确、产业链基础已具雏形;另一方面,面对持续加码的国际技术封锁与高端领域的能力短板,亟需以更加系统、审慎、深耕的长期主义视角推动产业升级与核心技术突破。

本文从产业现状出发,系统梳理了技术发展中的关键挑战与协同路径,结合目前在AI芯片、器件建模与仿真、EDA工具等方面的研究成果,提出以“多层次协同创新”为核心的韧性发展路线。未来应持续推动从“技术点突破”迈向“生态系统演进”,构建以产品牵引、人才驱动、机制护航的自主集成电路产业体系。

只有以长期主义构建系统性能力、以生态思维应对碎片化挑战,我国集成电路产业才能在全球重构的浪潮中赢得主动,实现从“跟跑”到“并跑”乃至“领跑”的根本跨越。

### 参考文献:

- [1] 薛澜,魏少军,李燕,等. 美国《芯片与科学法》及其影响分析[J]. 国际经济评论, 2022(6): 9-44.  
XUE L, WEI S J, LI Y, *et al.* The CHIPS and science act of US and analysis of its impacts[J]. International Economic Review, 2022(6): 9-44.
- [2] XIAO Y F. The impact of the US-China trade war on China's semiconductor industry[C] //Proceedings of the 2022 2nd International Conference on Financial Management and Economic Transition (FMET). Shenzhen: Atlantis Press, 2022: 665-677.
- [3] 龚梅芝, 陆斐. 新形势下我国集成电路产业现状及发展思考[J]. 中国集成电路, 2024, 33(Z1): 14-18.
- [4] 梁云, 卓成, 李永福. EDA左移融合设计范式的发展现状、趋势与挑战[J]. 中国科学: 信息科学, 2024, 54(1): 121-129.  
LIANG Y, ZHUO C, LI Y F. The shift-left design paradigm of EDA: progress and challenges[J]. Scientia Sinica(Informationis), 2024, 54(1): 121-129.
- [5] 康旺, 寇竞, 赵巍胜. 存算一体芯片发展现状、趋势与挑战[J]. 中国科学: 信息科学, 2024, 54(1): 16-24.  
KANG W, KOU J, ZHAO W S. In-memory computing tech-

- nology: development status, trends and challenges[J]. *Scientia Sinica(Informationis)*, 2024, 54(1): 16-24.
- [6] 叶乐, 贾天宇, 陈沛毓, 等. SRAM存算一体芯片研究: 发展与挑战[J]. *中国科学: 信息科学*, 2024, 54(1): 25-33.  
YE L, JIA T Y, CHEN P Y, *et al.* SRAM-based compute-in-memory: status and challenges[J]. *Scientia Sinica(Informationis)*, 2024, 54(1): 25-33.
- [7] 刘伟强, 陈珂, 吴比, 等. 高能效高安全新兴计算芯片: 现状、挑战与展望[J]. *中国科学: 信息科学*, 2024, 54(1): 34-47.  
LIU W Q, CHEN K, WU B, *et al.* High-efficiency and high-security emerging computing chips: development, challenges, and prospects[J]. *Scientia Sinica(Informationis)*, 2024, 54(1): 34-47.
- [8] 陈云霁, 蔡一茂, 汪玉, 等. 集成电路未来发展与关键问题—第347期“双清论坛(青年)”学术综述[J]. *中国科学: 信息科学*, 2024, 54(1): 1-5.  
CHEN Y J, CAI Y M, WANG Y, *et al.* Integrated circuit technology: future development and key issues—review of the 347th “Shuangqing Forum(Youth)”[J]. *Scientia Sinica(Informationis)*, 2024, 54(1): 1-5.
- [9] WANG Y, ZHANG L, ZHANG W. The development and application of artificial intelligence chips[C]//2022 IEEE International Conference on Advances in Electrical Engineering and Computer Applications (AEECA). Dalian: IEEE, 2022: 689-696.
- [10] ZHENG X, LIANG S Z, XIONG X M. A hardware/software partitioning method based on graph convolutional network[J]. *Design Automation for Embedded Systems*, 2021, 25(4): 325-351.
- [11] ZHENG X, WU J W, LIN X, *et al.* Hardware/software co-design of cryptographic SoC based on RISC-V virtual prototype[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2023, 70(9): 3624-3628.
- [12] LYULYAVA D, DUKSIN N, DUKSINA I, *et al.* Organization of an automated design flow for FPGA and ASIC[C]//Proceedings of the 6th International Conference on Control Systems, Mathematical Modeling, Automation and Energy Efficiency (SUMMA). Lipetsk: IEEE, 2024: 1107-1110.
- [13] ROMASZKAN W, LI T, GARG R, *et al.* A 4.4-75-TOPS/W 14-nm programmable, performance- and precision-tunable all-digital stochastic computing neural network inference accelerator[J]. *IEEE Solid-State Circuits Letters*, 2022, 5: 206-209.
- [14] CHEN Z, MA Y, WANG Z. Hybrid stochastic-binary computing for low-latency and high-precision inference of CNNs[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2022, 69(7): 2707-2720.
- [15] ARMENIAKOS G, ZERVAKIS G, SOUDRIS D, *et al.* Hardware approximate techniques for deep neural network accelerators: a survey[J]. *ACM Computing Surveys*, 2022, 55(4): 1-36.
- [16] ZHANG Y, WANG R, JIANG X, *et al.* Design guidelines of stochastic computing based on FinFET: a technology-circuit perspective[C]//2017 IEEE International Electron Devices Meeting (IEDM). San Francisco: IEEE, 2017: 6.6. 1-6.6. 4.
- [17] XUE C X, HUNG J M, KAO H Y, *et al.* 16.1 A 22 nm 4Mb 8b-precision ReRAM computing-in-memory macro with 11.91 to 195.7 TOPS/W for tiny AI edge devices[C]//2021 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2021, 64: 245-247.
- [18] SUN X, KHWA W S, CHEN Y S, *et al.* PCM-based analog compute-in-memory: impact of device non-idealities on inference accuracy[J]. *IEEE Transactions on Electron Devices*, 2021, 68(11): 5585-5591.
- [19] AMROUCH H, IMANI M, JIAO X, *et al.* Brain-inspired hyperdimensional computing for ultra-efficient edge AI[C]//2022 International Conference on Hardware/Software Codesign and System Synthesis (CODES+ ISSS). Shanghai: IEEE, 2022: 25-34.
- [20] MEHTA R. Advancing graph processing: a hardware-software co-design approach[J]. *International Journal of Computer Science & Information System*, 2025, 10(5): 1-6.
- [21] GUO C, CHENG F, DU Z, *et al.* A survey: collaborative hardware and software design in the era of large language models[J]. *IEEE Circuits and Systems Magazine*, 2025, 25(1): 35-57.
- [22] PENTA S, ZHENG T, TREMBLE E, *et al.* Performance evaluation of ucie-based die-to-die interface on low-cost 2d packaging technology[C]//2024 IEEE 74th Electronic Components and Technology Conference (ECTC). Denver: IEEE, 2024: 274-278.
- [23] CHEN S. The survey of chiplet-based integrated architecture: an EDA perspective[EB/OL]. arXiv: 2411.04410(2024-11-07) [2025-06-23]. <https://doi.org/10.48550/arXiv.2411.04410>.
- [24] HE W, YIN E, ZHOU F, *et al.* Integrated manifold microchannels and near-junction cooling for enhanced thermal management in 3D heterogeneous packaging technology[J]. *Energy*, 2024, 305: 132263.
- [25] SUN Q, CHEN T, LIU S, *et al.* Correlated multi-objective multi-fidelity optimization for HLS directives design[J]. *ACM Transactions on Design Automation of Electronic Systems (TODAES)*, 2022, 27(4): 1-27.
- [26] JIA X, WANG J, CAI Y, *et al.* Electromigration design rule aware global and detailed routing algorithm[C]//Proceedings of the 2018 Great Lakes Symposium on VLSI (GLS-VLSI). Chicago: ACM, 2018: 267-272.
- [27] MA X, WANG Z, CHEN X, *et al.* Gradient-based source mask optimization for extreme ultraviolet lithography[J]. *IEEE Transactions on Computational Imaging*, 2018, 5(1): 120-135.
- [28] CHAI Z, ZHAO Y, LIU W, *et al.* Circuitnet: an open-source

- dataset for machine learning in VLSI cad applications with improved domain-specific evaluation metric and learning strategies[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2023, 42(12): 5034-5047.
- [29] HU X H, LI X M, HUANG H M, *et al.* TiNNA: a tiny accelerator for neural networks with efficient DSP optimization[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2022, 69(4): 2301-2305.
- [30] HU X H, HUANG H M, LI X M, *et al.* High-performance reconfigurable DNN accelerator on a bandwidth-limited embedded system[J]. *ACM Transactions on Embedded Computing Systems*, 2023, 22(6): 1-20.
- [31] ZHENG X, ZENG S, ZHONG Y, *et al.* An efficient VCD parser for dynamic power estimation of digital integrated circuits[J]. *IEEE Embedded Systems Letters*, 2024, 16(4): 461-464.
- [32] LI L, GUNTER E L. K-LLVM: a relatively complete semantics of LLVM IR[C] //34th European Conference on Object-Oriented Programming (ECOOP). Berlin: Dagstuhl, 2020: 7: 1-7: 29.
- [33] WANG X, WEI Y, XIONG Y, *et al.* Lightseq2: accelerated training for transformer-based models on gpus[C]//International Conference for High Performance Computing, Networking, Storage, and Analysis (SC22). Dallas: IEEE, 2022: 1-14.
- [34] KININGHAM K, LEVIS P, RÉ C. GRIP: a graph neural network accelerator architecture[J]. *IEEE Transactions on Computers*, 2022, 72(4): 914-925.
- [35] PEI J, DENG L, SONG S, *et al.* Towards artificial general intelligence with hybrid Tianjic chip architecture[J]. *Nature*, 2019, 572(7767): 106-111.
- [36] TIAN K K, JIANG Y, LI W J, *et al.* Size-dependent competitive effect between surface recombination and self-heat on efficiency droop for 250 nm AlGaIn-based DUV LEDs[J]. *Optics Letters*, 2024, 49(22): 6369-6372.
- [37] YANG J Y, TIAN K K, CHU C S, *et al.* Design and optimization for AlGaIn-based deep ultraviolet fabry-perot laser diodes[J]. *Advanced Electronic Materials*, 2025, 11(1): 2400247.
- [38] YU F, DENG W L, HUANG J K, *et al.* An explicit physics-based I-V model for surrounding-gate polysilicon transistors[J]. *IEEE Transactions on Electron Devices*, 2016, 63(3): 1059-1065.
- [39] GU H, ZHENG X, WANG Y, *et al.* Multiscale feature attention and transformer based congestion prediction for routability-driven FPGA macro placement[C] //2025 Design, Automation & Test in Europe Conference (DATE). Lyon: IEEE, 2025: 1-7.
- [40] DING M, GUO Y, HUANG Z, *et al.* GROM: a generalized routing optimization method with graph neural network and deep reinforcement learning[J]. *Journal of Network and Computer Applications*, 2024, 229: 103927.
- [41] ZHENG X, CHENG M J, CHEN J S, *et al.* BSSE: design space exploration on the BOOM with semi-supervised learning[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2024, 32(5): 860-869.
- [42] MO G Q, XIA Y M, OU J H, *et al.* Layout congestion prediction based on Regression-ViT[J]. *ACM Transactions on Design Automation of Electronic Systems*, 2024, 30(1): 1-21.
- [43] FANG W J, GUO L K, LIN J W, *et al.* Obstacle-aware length-matching routing for any-direction traces in printed circuit board[C] //In Proceedings of the 61st ACM/IEEE Design Automation Conference (DAC). San Francisco: IEEE, 2024: 1-6.
- [44] LIN W X, WU H J, GAO P, *et al.* Sequential routing-based time-division multiplexing optimization for multi-FPGA systems[J]. *ACM Transactions on Design Automation of Electronic Systems*, 2023, 28(6): 1-10.
- [45] VERMA P. DSO AI-a distributed system to optimize physical design flows[C] //Proceedings of the 2024 International Symposium on Physical Design (ISPD). Taiwan: ACM, 2024: 115-116.
- (责任编辑: 王威娜 英文审核: 费伦科)